

SWITCH CIRCUIT DEVICE

Patent Number: JP2000223902
Publication date: 2000-08-11
Inventor(s): YAMAGUCHI TSUTOMU; SAWAI TETSUO
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: JP2000223902
Application Number: JP19990026650 19990203
Priority Number(s):
IPC Classification: H01P1/15; H03K17/693; H04B1/18; H04B1/44
EC Classification:
Equivalents: JP3426993B2

Abstract

PROBLEM TO BE SOLVED: To provide a switch circuit device which can improve electric breakdown power and high output through low-voltage operation.

SOLUTION: An FET 10 is connected between a node Pta connected to a terminal ANT and a Ptx connected to a terminal TX and an FET 20 is connected to a node Pra connected to the terminal ANT and a node Prx connected to a terminal RX. An additional capacitor 70 is connected between the gate Prg of the FET 10 and the node Pta. And an additional capacitor 80 is connected between a gate Prg of the FET 20 and the node Pra. Mutually complementary control signals Vc1 and Vc2 are applied to the gates of the FETs 10 and 20. The node Ptx is connected to a bias terminal BT through a large resistor 50 and the node Prx is connected to a bias terminal BR through a large resistor 60. The bias terminals BT and BR are supplied with a high level voltage Vhigh.

Data supplied from the **esp@cenet** database - i2

(51)IntCl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 P	1/15	H 0 1 P 1/15	5 J 0 1 2
H 0 3 K	17/693	H 0 3 K 17/693	A 5 J 0 5 5
H 0 4 B	1/18	H 0 4 B 1/18	J 5 K 0 1 1
	1/44	1/44	5 K 0 6 2

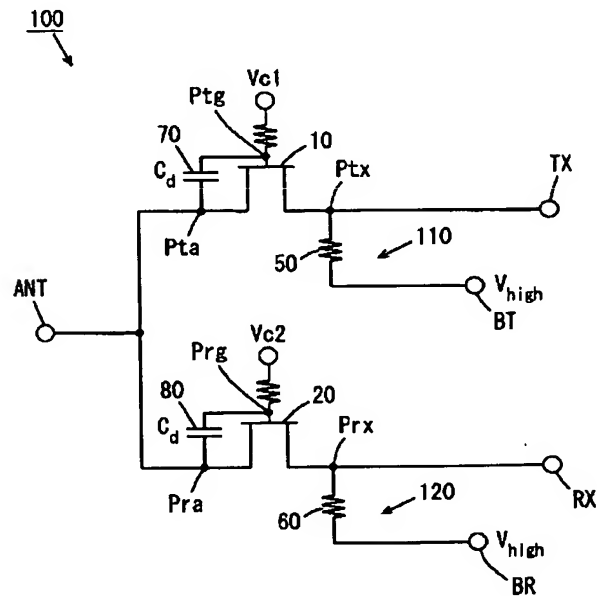
審査請求 未請求 請求項の数9 O L (全 12 頁)

(21)出願番号	特願平11-26650	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22)出願日	平成11年 2 月 3 日 (1999. 2. 3)	(72)発明者	山口 勤 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72)発明者	澤井 徹郎 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(74)代理人	100098305 弁理士 福島 祥人

最終頁に続く

(54) 【発明の名称】 スイッチ回路装置

(57) 【要約】
【課題】 耐電力の向上および低電圧動作での高出力化が可能なスイッチ回路装置を提供することである。
【解決手段】 端子ANTにつながるノードP t aと端子TXにつながるP t xとの間にFET 1 0が接続され、端子ANTにつながるノードP r aと端子RXにつながるノードP r xとの間にFET 2 0が接続される。FET 1 0のゲートP t gとノードP t aとの間に付加容量7 0が接続され、FET 2 0のゲートP r gとノードP r aとの間に付加容量8 0が接続される。FET 1 0, 2 0のゲートには互いに相補な制御信号V c 1, V c 2が印加される。ノードP t xは高抵抗5 0を介してバイアス端子BTに接続され、ノードP r xは高抵抗6 0を介してバイアス端子BRに接続される。バイアス端子BT, BRにはそれぞれ高レベルの電圧V_{high}が与えられる。



【特許請求の範囲】

【請求項1】 共通端子と第1の端子との間に接続され、第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、

前記共通端子と第2の端子との間に接続され、前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、

前記第1の端子および前記第2の端子に前記共通端子の電圧よりも高いバイアス電圧を印加するバイアス回路とを備えたことを特徴とするスイッチ回路装置。

【請求項2】 オン状態の前記第1または第2のトランジスタのゲート電極に与えられる前記第1または第2の制御信号の電圧を V_{high} とし、前記第1および第2のトランジスタのビルトイン電圧を V_{bi} とした場合に、前記バイアス電圧は $V_{high} - V_{bi}$ よりも高いことを特徴とする請求項1記載のスイッチ回路装置。

【請求項3】 前記バイアス電圧は、オン状態の前記第1または第2のトランジスタのゲート電極に与えられる前記第1または第2の制御信号の電圧に等しいことを特徴とする請求項1または2記載のスイッチ回路装置。

【請求項4】 前記バイアス回路は、前記バイアス電圧を受けるバイアスノードと前記第1の端子との間に接続された第1の抵抗と、前記バイアス電圧を受けるバイアスノードと前記第2の端子との間に接続された第2の抵抗とを含むことを特徴とする請求項1～3のいずれかに記載のスイッチ回路装置。

【請求項5】 前記バイアス回路は、前記バイアス電圧を受けるバイアスノードと前記第1の端子との間に接続され、前記第1のトランジスタのオフ時にオン状態になる第3のトランジスタと、前記バイアス電圧を受けるバイアスノードと前記第2の端子との間に接続され、前記第2のトランジスタのオフ時にオン状態になる第4のトランジスタとを含むことを特徴とする請求項1～4のいずれかに記載のスイッチ回路装置。

【請求項6】 前記第1のトランジスタのゲート電極と前記共通端子との間に接続された第1の付加容量と、前記第2のトランジスタのゲート電極と前記共通端子との間に接続された第2の付加容量とをさらに備えたことを特徴とする請求項1～5のいずれかに記載のスイッチ回路装置。

【請求項7】 前記第1のトランジスタは前記共通端子と前記第1の端子との間に複数段に接続され、前記第2のトランジスタは前記共通端子と前記第2の端子との間に複数段に接続され、

前記バイアス回路は、前記第1の端子および前記複数段の第1のトランジスタ間のノードのうち少なくとも1つに前記バイアス電圧を印加し、前記第2の端子および前

記複数段の第2のトランジスタ間のノードのうち少なくとも1つに前記バイアス電圧を印加することを特徴とする請求項1～6のいずれかに記載のスイッチ回路装置。

【請求項8】 前記第1のトランジスタは複数のゲート電極を有する第1のマルチゲート型トランジスタであり、前記第1のマルチゲート型トランジスタの前記複数のゲート電極下の動作層間に低抵抗領域が設けられ、前記第2のトランジスタは複数のゲート電極を有する第2のマルチゲート型トランジスタであり、前記第2のマルチゲート型トランジスタの前記複数のゲート電極下の動作層間に低抵抗領域が設けられ、前記バイアス回路は、前記第1の端子および前記第1のマルチゲート型トランジスタの前記低抵抗領域のうち少なくとも1つに前記バイアス電圧を印加し、前記第2の端子および前記第2のマルチゲート型トランジスタの前記低抵抗領域のうち少なくとも1つに前記バイアス電圧を印加することを特徴とする請求項1～6のいずれかに記載のスイッチ回路装置。

【請求項9】 共通端子と第1の端子との間に接続され、第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、前記共通端子と第2の端子との間に接続され、前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、前記第1の端子および前記第2の端子に第1のバイアス電圧を印加する第1のバイアス回路と、前記共通端子に第2のバイアス電圧を印加する第2のバイアス回路とを備え、オン状態の前記第1または第2のトランジスタのゲート電極に与えられる前記第1または第2の制御信号の電圧を V_{high} とし、オフ状態の前記第1または第2のトランジスタのゲート電極に与えられる前記第1または第2の制御信号の電圧を V_{low} とし、前記第1および第2のトランジスタのビルトイン電圧を V_{bi} とした場合に、前記第1のバイアス電圧は $V_{high} - V_{bi}$ よりも高くかつ前記第2のバイアス電圧よりも高く、前記第2のバイアス電圧は V_{high} よりも低くかつ V_{low} よりも高いことを特徴とするスイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタからなるスイッチ回路装置に関する。

【0002】

【従来の技術】例えば、マイクロ波通信システムの送受信装置には、高速なスイッチング動作が可能なGaAs系のMESFET（金属-半導体電界効果トランジスタ；以下、FETと略記する）からなるスイッチ回路装置が用いられる。

【0003】図9は従来のスイッチ回路装置を用いた送

受信装置の一例を示す図である。図9において、スイッチ回路装置200は2つのFET10、20を含む。FET10は端子ANTと端子TXとの間に接続され、FET20は端子ANTと端子RXとの間に接続されている。端子ANTにはアンテナ210が接続され、端子TXには送信機300が接続され、端子RXには受信機400が接続されている。

【0004】送信時には、FET10がオンし、FET20がオフする。それにより、送信機300からの送信信号がアンテナ210から送信される。受信時には、FET10がオフし、FET20がオンする。それにより、アンテナ210により受信された受信信号が受信機400に伝送される。

【0005】図10は図9のスイッチ回路装置200の構成を示す回路図である。図10のスイッチ回路装置200においては、端子ANTにつながるノードPtaと端子TXにつながるノードPtxとの間にFET10が接続されている。また、端子ANTにつながるノードPraと端子RXにつながるノードPrxとの間にFET20が接続されている。FET10のソース・ドレイン間およびFET20のソース・ドレイン間にはそれぞれ抵抗Reqが接続されている。

【0006】FET10、20のゲートにはそれぞれ抵抗を介して互いに相補な制御信号Vc1、Vc2が印加

$$V_{rfm} = 2(V_{high} - V_{low} + V_p - V_{bi}) \quad \dots (C2)$$

ここで、端子TXには抵抗値Rの内部抵抗を有する電源が接続され、端子ANTには抵抗値Rの負荷抵抗が接続されるものとする。この場合、電源の内部抵抗および負荷抵抗で消費される電力Pは次式で与えられる。

【0011】

$$P = n^2 (V_{rf})^2 / (2R) \quad \dots (C3)$$

$$P_h = n^2 (V_{rfm})^2 / (2R)$$

$$= 4n^2 (V_{high} - V_{low} + V_p - V_{bi})^2 / (2R) \quad \dots (C4)$$

【0014】

【発明が解決しようとする課題】携帯電話機器等で用いられる電源電圧は低電圧化されつつあるが、電源電圧の低下は式(C4)における電圧($V_{high} - V_{low}$)の減少に相当する。そのため、電源電圧の低下は耐電力 P_h の低下につながる。特に、ビルトイン電圧 V_{bi} の大きなFETを用いたスイッチ回路装置では、低電圧動作での高出力化が困難となる。

【0015】本発明の目的は、耐電力の向上および低電圧動作での高出力化が可能なスイッチ回路装置を提供することである。

【0016】

【課題を解決するための手段および発明の効果】第1の発明に係るスイッチ回路装置は、共通端子と第1の端子との間に接続され、第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、共通端子と第2の端子との間に接続され、第1の制御信号と

される。制御信号Vc1は、高レベルの電圧 V_{high} と低レベルの電圧 V_{low} とに変化する。制御信号Vc2は、制御信号Vc1と相補的に低レベルの電圧 V_{low} と高レベルの電圧 V_{high} とに変化する。

【0007】例えば、制御信号Vc1が高レベルの電圧 V_{high} になり、制御信号Vc2が低レベルの電圧 V_{low} になると、FET10がオンし、FET20がオフする。FET20のソース・ドレイン間に高抵抗Reqが接続されているので、オフ状態のFET20に接続される端子RXの電位が端子ANTの電位と等しくなる。そのため、ノードPta、Ptx、Pra、Prxの電位はいずれも $V_{high} - V_{bi}$ に保たれる。ここで、 V_{bi} はFET10、20のビルトイン電圧（障壁電圧）であり、 $V_{bi} \geq 0$ である。

【0008】この場合、スイッチ回路装置200のFET20のオフ状態を保つ条件は次式で与えられる。

【0009】

$$2(V_{high} - V_{low} + V_p - V_{bi}) \geq V_{rf} \quad \dots (C1)$$

V_{high} は高レベルの電圧、 V_{low} は低レベルの電圧であり、 $V_{high} \geq V_{low}$ である。 V_p はFET10、20のピンチオフ電圧、 V_{bi} はFET10、20のビルトイン電圧(≥ 0)、 V_{rf} は信号振幅(≥ 0)である。

【0010】最大許容信号振幅を V_{rfm} と表記すると、式(C1)は次式のようになる。

ここで、nはFET10、20の接続段数であり、図10の例では $n=1$ である。

【0012】FET20のオフ状態を維持できるオン側のFET10の最大電力（耐電力） P_h は式(C2)、(C3)より、 $V_{rf} = V_{rfm}$ として次式で与えられる。

【0013】

相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、第1の端子および第2の端子に共通端子の電圧よりも高いバイアス電圧を印加するバイアス印加回路とを備えたものである。

【0017】本発明に係るスイッチ回路装置においては、第1の制御信号により第1のトランジスタがオンすると、第2の制御信号により第2のトランジスタがオフする。また、第1の制御信号により第1のトランジスタがオフすると、第2の制御信号により第2のトランジスタがオンする。

【0018】このとき、バイアス回路により少なくともオフ状態の第1または第2のトランジスタに接続される第1または第2の端子に共通端子の電圧よりも高いバイアス電圧が印加される。それにより、耐電力が向上し、入出力特性の線形領域が拡大する。また、電源電圧の低下による耐電力の低下が抑制される。したがって、低電

圧動作での高出力化が可能となる。

【0019】オン状態の第1または第2のトランジスタのゲート電極に与えられる第1または第2の制御信号の電圧を V_{high} とし、第1および第2のトランジスタのビルトイン電圧を V_{bi} とした場合に、バイアス電圧は $V_{high} - V_{bi}$ よりも高いことが好ましい。それにより、オン状態の第1または第2のトランジスタのビルトイン電圧による耐電力の低下が抑制される。

【0020】バイアス電圧は、オン状態の第1または第2のトランジスタのゲート電極に与えられる第1または第2の制御信号の電圧に等しくてもよい。この場合、オン状態の第1または第2のトランジスタのビルトイン電圧による耐電力の低下が十分に抑制される。

【0021】バイアス回路は、バイアス電圧を受けるバイアスノードと第1の端子との間に接続された第1の抵抗と、バイアス電圧を受けるバイアスノードと第2の端子との間に接続された第2の抵抗とを含んでもよい。

【0022】この場合、バイアスノードのバイアス電圧が第1の抵抗を介して第1の端子に与えられ、バイアスノードのバイアス電圧が第2の抵抗を介して第2の端子に与えられる。

【0023】バイアス回路は、バイアス電圧を受けるバイアスノードと第1の端子との間に接続され、第1のトランジスタのオフ時にオン状態になる第3のトランジスタと、バイアス電圧を受けるバイアスノードと第2の端子との間に接続され、第2のトランジスタのオフ時にオン状態になる第4のトランジスタとを含んでもよい。

【0024】この場合、第1のトランジスタのオフ時にバイアスノードのバイアス電圧が第3のトランジスタを介して第1の端子に与えられ、第2のトランジスタのオフ時にバイアスノードの電圧が第4のトランジスタを介して第2の端子に与えられる。

【0025】第1のトランジスタのゲート電極と共通端子との間に接続された第1の付加容量と、第2のトランジスタのゲート電極と共通端子との間に接続された第2の付加容量とをさらに備えてもよい。

【0026】この場合、第1のトランジスタのオフ時に、第1のトランジスタのオフ状態を保ちつつ第1の端子の電圧を共通端子の電圧よりも高く維持することができる。また、第2のトランジスタのオフ時に、第2のトランジスタのオフ状態を保ちつつ第2の端子の電圧を共通端子の電圧よりも高く維持することができる。

【0027】第1のトランジスタは共通端子と第1の端子との間に複数段に接続され、第2のトランジスタは共通端子と第2の端子との間に複数段に接続され、バイアス回路は、第1の端子および複数段の第1のトランジスタ間のノードのうち少なくとも1つにバイアス電圧を印加し、第2の端子および複数段の第2のトランジスタ間のノードのうち少なくとも1つにバイアス電圧を印加してもよい。この場合、さらに高出力化を図ることが可能

となる。

【0028】第1のトランジスタは複数のゲート電極を有する第1のマルチゲート型トランジスタであり、第1のマルチゲート型トランジスタの複数のゲート電極下の動作層間に低抵抗領域が設けられ、第2のトランジスタは複数のゲート電極を有する第2のマルチゲート型トランジスタであり、第2のマルチゲート型トランジスタの複数のゲート電極下の動作層間に低抵抗領域が設けられ、バイアス回路は、第1の端子および第1のマルチゲート型トランジスタの低抵抗領域のうち少なくとも1つにバイアス電圧を印加し、第2の端子および第2のマルチゲート型トランジスタの低抵抗領域のうち少なくとも1つにバイアス電圧を印加してもよい。この場合、さらに高出力化および小型化を図ることができる。

【0029】第2の発明に係るスイッチ回路装置は、共通端子と第1の端子との間に接続され、第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、共通端子と第2の端子との間に接続され、第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、第1の端子および第2の端子に第1のバイアス電圧を印加する第1のバイアス回路と、共通端子に第2のバイアス電圧を印加する第2のバイアス回路とを備え、オン状態の第1または第2のトランジスタのゲート電極に与えられる第1または第2の制御信号の電圧を V_{high} とし、オフ状態の第1または第2のトランジスタのゲート電極に与えられる第1または第2の制御信号の電圧を V_{low} とし、第1および第2のトランジスタのビルトイン電圧を V_{bi} とした場合に、第1のバイアス電圧は $V_{high} - V_{bi}$ よりも高くかつ第2のバイアス電圧よりも高く、第2のバイアス電圧は V_{high} よりも低くかつ V_{low} よりも高いことを特徴とするものである。

【0030】本発明に係るスイッチ回路装置においては、第1の制御信号により第1のトランジスタがオンすると、第2の制御信号により第2のトランジスタがオフする。また、第1の制御信号により第1のトランジスタがオフすると、第2の制御信号により第2のトランジスタがオンする。

【0031】このとき、第1のバイアス回路により第1の端子および第2の端子に $V_{high} - V_{bi}$ よりも高くかつ第2のバイアス電圧よりも高い第1のバイアス電圧が印加され、第2のバイアス回路により共通端子に V_{high} よりも低くかつ V_{low} よりも高い第2のバイアス電圧が印加される。

【0032】第2のバイアス電圧が $V_{high} - V_{bi}$ よりも低い場合には、オン状態の第1または第2のトランジスタのオン抵抗が低くなり、第2のバイアス回路がない場合と比較してスイッチ回路装置の挿入損失が低減される。また、第1のバイアス回路がない場合と比較して電源電圧の低下による耐電力の低下が抑制される。第2の

バイアス電圧が $V_{high}-V_{bi}$ よりも高い場合には、耐電力が向上し、入出力特性の線形領域が拡大する。したがって、低電圧動作での高出力化が可能となる。

【0033】

【発明の実施の形態】(1) 第1の実施例

図1は本発明の第1の実施例によるスイッチ回路装置の構成を示す回路図である。

【0034】図1のスイッチ回路装置100において、端子ANTにつながるノードPtaと端子TXにつながるノードPtxとの間にFET10が接続されている。また、端子ANTにつながるノードPraと端子RXにつながるノードPrxとの間にFET20が接続されている。

【0035】FET10のゲートPtgとノードPtaとの間に付加容量70が接続されている。また、FET20のゲートPr gとノードPraとの間に付加容量80が接続されている。付加容量70、80の容量値はそれぞれ C_d である。この容量値 C_d には、後述するようにFET10、20のソースおよびドレインに印加されるバイアスの非対称により生じるゲートPtgとノードPtaとの間の容量の増加分およびゲートPr gとノードPraとの間の容量の増加分がそれぞれ含まれる。

【0036】FET10、20のゲートにはそれぞれ抵抗を介して互いに相補な制御信号Vc1、Vc2が印加される。制御信号Vc1は、高レベルの電圧 V_{high} と低レベルの電圧 V_{low} とに変化する。制御信号Vc2は、制御信号Vc1と相補的に低レベルの電圧 V_{low} と高レベルの電圧 V_{high} とに変化する。

【0037】ノードPtxは、高抵抗50を介してバイアス端子BTに接続されている。また、ノードPrxは、高抵抗60を介してバイアス端子BRに接続されている。バイアス端子BT、BRには、バイアス電圧としてそれぞれ高レベルの電圧 V_{high} が与えられる。なお、高抵抗50、60の抵抗値は、例えば5kΩ程度であるが、これに限定されない。高抵抗50およびバイアス端子BTがバイアス回路110を構成し、高抵抗60およびバイアス端子BRがバイアス回路120を構成する。

【0038】例えば、制御信号Vc1が高レベルの電圧 V_{high} になり、制御信号Vc2が低レベルの電圧 V_{low} になると、FET10がオンし、FET20がオフする。このとき、ノードPraの電位は $V_{high}-V_{bi}$ に保たれる。 V_{bi} はFET10、20のビルトイン電圧であ

$$V_{rfl1}=V_{high}-V_{low}+V_p-V_{bi}=V_h-V_{bi} \quad \cdots (A2)$$

ただし、 $V_{high}-V_{low}+V_p=V_h$ である。また、ゲートPr gとノードPrxとの間のオフ状態を保つ条件は次式で与えられる。

【0047】

$$V_{high}-V_{low}+V_p \geq V_{rf2} \quad \cdots (A3)$$

V_{rf2} はゲートPr gとノードPrxとの間に加わる信号振幅であり、 $V_{rf2} \geq 0$ である。

り、 $V_{bi} \geq 0$ である。一方、ノードPrxの電位はバイアス回路120により高レベルの電圧 V_{high} にプルアップされる。これにより、FET20のソースおよびドレインに印加されるバイアスが非対称になり、空乏層の拡大によりFET20のゲートPr gとノードPraとの間の容量がゲートPr gとノードPrxとの間の容量に比べて増加する。

【0039】逆に、制御信号Vc1が低レベルの電圧 V_{low} になり、制御信号Vc2が高レベルの電圧 V_{high} になると、FET10がオフし、FET20がオンする。このとき、ノードPtaの電位は $V_{high}-V_{bi}$ に保たれる。一方、ノードPtxの電位はバイアス回路110により高レベルの電圧 V_{high} にプルアップされる。これにより、FET10のソースおよびドレインに印加されるバイアスが非対称になり、空乏層の拡大によりFET10のゲートPtgとノードPtaとの間の容量がゲートPtgとノードPtxとの間の容量に比べて増加する。

【0040】図2は図1のスイッチ回路装置の等価回路図である。図2の等価回路図では、FET10がオンし、FET20がオフしている場合が示される。すなわち、制御信号Vc1が高レベルの電圧 V_{high} となり、制御信号Vc2が低レベルの電圧 V_{low} となっている。

【0041】 C_{off} はFET10、20のオフ容量値であり、 C_d は上記の付加容量70、80の容量値である。ノードPraとFET20のゲートPr gとの間に $C_{off}+C_d$ が接続され、ゲートPr gとノードPrxとの間に C_{off} が接続されている。

【0042】この場合、ノードPraの電位は $V_{high}-V_{bi}$ に保たれる。一方、ノードPrxの電位はバイアス回路120により V_{high} に保たれる。

【0043】この場合、ノードPraとゲートPr gとの間のオフ状態を保つ条件は次式で与えられる。

【0044】

$$V_{high}-V_{low}+V_p-V_{bi} \geq V_{rfl} \quad \cdots (A1)$$

V_p はFET10、20のピンチオフ電圧であり、 V_{rfl} はノードPraとゲートPr gとの間に加わる信号振幅であり、 $V_{rfl} \geq 0$ である。

【0045】ここで、ノードPrxとゲートPr gとの間の最大許容信号振幅を V_{rflm} と表記すると、式(A1)は次式のようにになる。

【0046】

【0048】ゲートPr gとノードPrxとの間の最大許容信号振幅を V_{rf2m} と表記すると、式(A3)は次式のようにになる。

【0049】

$$V_{rf2m}=V_{high}-V_{low}+V_p=V_h \quad \cdots (A4)$$

また、容量による電圧分配は次式で表される。

【0050】

$$(C_{off} + C_d) \cdot V_{rf1a} = C_{off} \cdot V_{rf2a} \dots (A5)$$

最大許容信号振幅 V_{rf1a} , V_{rf2a} を同時に実現するためには、上式 (A2), (A4), (A5) より次式の条件を満たす必要がある。

【0051】

$$C_d = C_{off} \cdot V_{bi} / (V_h - V_{bi}) \dots (A6)$$

このとき、ノード $Pr a$ とノード $Pr x$ との間の最大許容信号振幅を V_{rfa} と表記すると次式が成り立つ。

$$【0052】 V_{rfa} = V_{rf1a} + V_{rf2a} \dots (A7)$$

さらに、上式 (A2), (A4) より上式 (A7) は次式ようになる。

$$【0053】 V_{rfa} = 2V_h - V_{bi} \dots (A8)$$

ここで、端子 Tx には抵抗値 R の内部抵抗を有する電源が接続され、端子 Ant には抵抗値 R の負荷抵抗が接続されるものとする。この場合、内部抵抗および負荷抵抗で消費される電力 P は次式で与えられる。

【0054】

$$P = n^2 (V_{rf})^2 / (2R) \dots (A9)$$

ここで、 $V_{rf} = V_{rf1} + V_{rf2}$ である。また、 n は $FET10$, 20 の接続段数であり、図1および図2の例では $n=1$ である。

【0055】このとき、 $FET20$ のオフ状態を維持できるオン側の $FET10$ の最大電力 (耐電力) P_h は、上式 (A8), (A9) より、 $n=1$ 、 $V_{rf} = V_{rfa}$ とし次式で与えられる。

【0056】

$$P_h = (V_{rfa})^2 / (2R) \\ = (2V_h - V_{bi})^2 / (2R) \dots (A10)$$

上式 (A10) を式 (C4) と比較すると、耐電力 P_h が向上していることが分かる。

【0057】ここで、 $V_{high} = 3 [V]$ 、 $V_{low} = 0$ 、 $V_p = -1 [V]$ 、 $R = 50 [\Omega]$ 、 $C_d = 0.2 [pF]$ 、 $C_{off} = 0.6 [pF]$ とする。また、 $FET10$, 20 のゲート金属として Pt (白金) を用いた場合、 $V_{bi} = 0.5 [V]$ となる。したがって、端子 Ant の電位は $2.5 V$ になる。

【0058】この場合、耐電力 P_h は図10に示した従来のスイッチ回路装置200では、式 (C4) から $90 mW$ となる。一方、本実施例のスイッチ回路装置100では、オフ状態の $FET20$ に接続される端子 Rx の電位が高レベルの電圧 V_{high} にプルアップされるため、耐電力 P_h は式 (A10) から約 $120 mW$ となる。その結果、スイッチ回路装置における入出力特性の線形領域が拡大する。

【0059】(2) 第2の実施例

図3は本発明の第2の実施例におけるスイッチ回路装置の構成を示す回路図である。

【0060】図3のスイッチ回路装置101が図1のスイッチ回路装置100と異なるのは次の点である。ノード Ptx は、高抵抗50および $FET30$ を介しバイア

ス端子 Bt に接続されている。ノード Prx は、高抵抗60および $FET40$ を介してバイアス端子 BR に接続されている。 $FET30$ のゲートには抵抗を介して制御信号 $Vc2$ が与えられ、 $FET40$ のゲートには抵抗を介して制御信号 $Vc1$ が与えられる。バイアス端子 Bt , BR には、バイアス電圧としてそれぞれ高レベルの電圧 V_{high} が与えられる。

【0061】高抵抗50および $FET30$ がバイアス回路130を構成し、高抵抗60および $FET40$ がバイアス回路140を構成する。図3のスイッチ回路装置101の他の部分の構成は、図1のスイッチ回路装置100の構成と同様である。

【0062】例えば、制御信号 $Vc1$ が高レベルの電圧 V_{high} になり、制御信号 $Vc2$ が低レベルの電圧 V_{low} になると、 $FET10$ がオンし、 $FET20$ がオフする。同時に、 $FET30$ がオフし、 $FET40$ がオンする。それにより、バイアス回路140によりノード Prx に高レベルの電圧 V_{high} が与えられる。

【0063】この場合、オン状態の $FET10$ のノード Ptx にはバイアス回路130によるバイアス電圧が印加されない。また、高抵抗50が設けられているので、高周波信号がバイアス回路130に侵入して制御信号 $Vc2$ に雑音が発生することが防止される。それにより、スイッチ回路装置101の誤動作が防止される。

【0064】また、制御信号 $Vc2$ が低レベルの電圧 V_{low} になり、制御信号 $Vc1$ が高レベルの電圧 V_{high} になると、 $FET10$ がオフし、 $FET20$ がオンする。同時に、 $FET30$ がオンし、 $FET40$ がオフする。それにより、バイアス回路130によりノード Ptx に高レベルの電圧 V_{high} が与えられる。

【0065】この場合、オン状態の $FET20$ のノード Prx にはバイアス回路140によるバイアス電圧が印加されない。また、バイアス回路140に高抵抗60が設けられているので、高周波信号がバイアス回路140に侵入して制御信号 $Vc1$ に雑音が発生することが防止される。それにより、スイッチ回路装置101の誤動作が生じない。

【0066】本実施例のスイッチ回路装置101においても、耐電力 P_h が向上し、入出力特性の線形領域が拡大する。

【0067】(3) 第3の実施例

図4は本発明の第3の実施例におけるスイッチ回路装置の構成を示す回路図である。

【0068】図4のスイッチ回路装置102においては、ノード Pta とノード Ptb との間に $FET11$ が接続され、ノード Ptb とノード Ptx との間に $FET12$ が接続されている。また、ノード $Pr a$ とノード $Pr b$ との間に $FET21$ が接続され、ノード $Pr b$ とノード $Pr x$ との間に $FET22$ が接続されている。この

ように、FETの接続段数を2段にすることにより高出力が図られる。

【0069】FET11のゲートPt g1およびFET12のゲートPt g2にはそれぞれ抵抗を介して制御信号Vc1が与えられる。FET21のゲートPr g1およびFET22のゲートPr g2にはそれぞれ抵抗を介して制御信号Vc2が与えられる。FET11のゲートPt g1とノードPt aとの間に付加容量70が接続され、FET21のゲートPr g1とノードPraとの間に付加容量80が接続されている。

【0070】ノードPt bおよびノードPt xは、それぞれ高抵抗50および共通のFET30を介してバイアス端子BTに接続されている。また、ノードPr bおよびノードPr xは、それぞれ高抵抗60および共通のFET40を介してバイアス端子BRに接続されている。FET30のゲートには制御信号Vc2が与えられ、FET40のゲートには制御信号Vc1が与えられる。バイアス端子BT、BRには、バイアス電圧としてそれぞれ高レベルの電圧V_{high}が与えられる。

【0071】2つの高抵抗50およびFET30がバイアス回路150を構成し、2つの高抵抗60およびFET40がバイアス回路160を構成する。

【0072】例えば、制御信号Vc1が高レベルの電圧V_{high}になり、制御信号Vc2が低レベルの電圧V_{low}になると、FET11、12がオンし、FET21、22がオフする。同時に、FET30がオフし、FET40がオンする。それにより、ノードPr b、Pr xにバイアス回路160により高レベルの電圧V_{high}が与えられる。

【0073】また、制御信号Vc1が低レベルの電圧V_{low}となり、制御信号Vc2が高レベルの電圧V_{high}になると、FET11、12がオフし、FET21、22がオンする。また、FET30がオンし、FET40がオフする。それにより、ノードPt b、Pt xにバイアス回路150により高レベルの電圧V_{high}が与えられる。

【0074】図5は図4のスイッチ回路装置102の等価回路図である。図5の等価回路図では、FET11、

$$V_{rf1a} = V_{high} - V_{low} + V_p - V_{bi} = V_h - V_{bi} \quad \dots (B5)$$

$$V_{rf2a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B6)$$

$$V_{rf3a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B7)$$

$$V_{rf4a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B8)$$

また、容量による電圧分配は次式で表される。

$$(C_{off} + C_d) \cdot V_{rf1a} = C_{off} \cdot V_{rf2a} \\ = C_{off} \cdot V_{rf3a} = C_{off} \cdot V_{rf4a} \quad \dots (B9)$$

最大許容信号振幅V_{rf1a}、V_{rf2a}、V_{rf3a}、V_{rf4a}を同時に実現するためには、上式(B5)～(B9)より次式の条件を満たす必要がある。

【0083】

$$V_{rfm} = V_{rf1a} + V_{rf2a} + V_{rf3a} + V_{rf4a} \quad \dots (B11)$$

12がオンし、FET21、22がオフしている場合が示される。すなわち、制御信号Vc1が高レベルの電圧V_{high}となり、制御信号Vc2が低レベルの電圧V_{low}となっている。

【0075】この場合、ノードPraとゲートPr g1との間のオフ状態を保つ条件は次式で与えられる。

【0076】

$$V_{high} - V_{low} + V_p - V_{bi} \geq V_{rf1} \quad \dots (B1)$$

V_{rf1}はノードPraとゲートPr g1とに加わる信号振幅(≥0)である。また、ゲートPr g1とノードPr bとの間のオフ状態を保つ条件は次式で与えられる。

【0077】

$$V_{high} - V_{low} + V_p \geq V_{rf2} \quad \dots (B2)$$

V_{rf2}はゲートPr g1とノードPr bとに加わる信号振幅(≥0)である。さらに、ノードPr bとゲートPr g2との間のオフ状態を保つ条件は次式で与えられる。

【0078】

$$V_{high} - V_{low} + V_p \geq V_{rf3} \quad \dots (B3)$$

V_{rf3}はノードPr bとゲートPr g2とに加わる信号振幅(≥0)である。また、ゲートPr g2とノードPr xとの間のオフ状態を保つ条件は次式で与えられる。

【0079】

$$V_{high} - V_{low} + V_p \geq V_{rf4} \quad \dots (B4)$$

V_{rf4}はゲートPr g2とノードPr xとに加わる信号振幅(≥0)である。

【0080】ノードPraとゲートPr g1との間の最大許容信号振幅をV_{rf1a}と表記し、ゲートPr g1とノードPr bとの間の最大許容信号振幅をV_{rf2a}と表記し、ノードPr bとゲートPr g2との間の最大許容信号振幅をV_{rf3a}と表記し、ゲートPr g2とノードPr xとの間の最大許容信号振幅をV_{rf4a}と表記すると、上式(B1)、(B2)、(B3)、(B4)は次式のようになる。

【0081】

$$V_{rf1a} = V_{high} - V_{low} + V_p - V_{bi} = V_h - V_{bi} \quad \dots (B5)$$

$$V_{rf2a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B6)$$

$$V_{rf3a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B7)$$

$$V_{rf4a} = V_{high} - V_{low} + V_p = V_h \quad \dots (B8)$$

【0082】

$$C_d = C_{off} \cdot V_{bi} / (V_h - V_{bi}) \quad \dots (B10)$$

このとき、ノードPraとノードPr xとの間の最大許容信号振幅V_{rfm}は次式で表される。

【0084】

$$V_{rfm} = V_{rf1a} + V_{rf2a} + V_{rf3a} + V_{rf4a} \quad \dots (B11)$$

さらに、上式(B5)～(B8)より上式(B11)は次式ようになる。

$$【0085】 V_{rfm} = 4V_h - V_{bi} \dots (B12)$$

$$P_h = (V_{rfm})^2 / (2R) = (2V_h - V_{bi})^2 / (2R) \dots (B13)$$

上式(B13)をさらに一般化すればFETの接続段数がnの場合の耐電力 P_h は次式ようになる。

【0087】

$$P_h = (2nV_h - V_{bi})^2 / (2R) \dots (B14)$$

$$P_h = (2n)^2 \cdot (V_h - V_{bi})^2 / (2R) \dots (C4)$$

上式(B14)、(C4)より、本実施例のスイッチ回路装置と従来のスイッチ回路装置における耐電力の差

$$\Delta P_h = \{4nV_h - (2n+1)V_{bi}\} \{ (2n-1)V_{bi} / (2R) \} \dots (B15)$$

ここで、 $V_{high} = 3[V]$ 、 $V_{low} = 0$ 、 $V_p = -1[V]$ 、 $n = 2$ 、 $R = 50[\Omega]$ 、 $C_d = 0.2[pF]$ 、 $C_{off} = 0.6[pF]$ 、とする。また、FET11, 12, 21, 22のゲート金属としてPtを用いた場合、 $V_{bi} = 0.5[V]$ 程度となる。

【0090】この場合、従来のスイッチ回路装置における耐電力 P_h は、式(C4)より360mWとなる。これに対して、本実施例のスイッチ回路装置102における耐電力 P_h は、式(B14)より約560mWとなる。その結果、スイッチ回路装置102の出力信号の線形領域が拡大する。

【0091】また、 $V_{high} = 2[V]$ 、 $V_{low} = 0$ 、 $V_p = -1[V]$ 、 $V_{bi} = 0.5[V]$ 、 $n = 2$ 、 $R = 50[\Omega]$ 、 $C_d = 0.2[pF]$ 、 $C_{off} = 0.6[pF]$ とする。

【0092】この場合、従来のスイッチ回路装置における耐電力 P_h は、式(C4)より40mWとなる。これに対して、本実施例のスイッチ回路装置102における耐電力 P_h は、式(B14)より122.5mWとなる。このように、本実施例のスイッチ回路装置102によれば、従来のスイッチ回路装置の3倍以上の耐電力が得られる。その結果、制御信号 V_{c1} 、 V_{c2} の電圧が低くても耐電力の低下を抑制することができる。

【0093】また、本実施例のスイッチ回路装置102は、ビルトイン電圧 V_{bi} の大きなFETを用いた場合においても高出力化が可能となる。

【0094】(4)第4の実施例

図6は本発明の第4の実施例におけるスイッチ回路装置の構成を示す回路図である。

【0095】図6のスイッチ回路装置103においては、マルチゲート型FETとしてデュアルゲート型FET10a, 20aが用いられている。ノードPtaとノードPtxとの間に2つのゲートPtg1, Ptg2を有するデュアルゲート型FET10aが接続されている。また、ノードPraとノードPrxとの間に2つのゲートPr g1, Pr g2を有するデュアルゲート型F

このとき、式(A10)より耐電力 P_h は次式で表される。

【0086】

従来のスイッチ回路装置の耐電力 P_h は上記のように次式ようになる。

【0088】

ΔP_h は次式で与えられる。

【0089】

ET20aが接続されている。このように、デュアルゲート型FET10a, 20aを用いることにより小型化および高出力化が図られる。

【0096】FET10aのゲートPt g1, Ptg2にはそれぞれ抵抗を介して制御信号 V_{c1} が与えられる。FET20aのゲートTr g1, Tr g2にはそれぞれ抵抗を介して制御信号 V_{c2} が与えられる。FET10aのゲートPt g1とノードPtaとの間に付加容量70が接続され、FET20aのゲートPr g1とノードPraとの間に付加容量80が接続されている。

【0097】FET10aのゲートPt g1, Ptg2間には低抵抗領域RN+が設けられている。この低抵抗領域RN+およびノードPtxは、それぞれ高抵抗50および共通のFET30を介してバイアス端子BTに接続されている。また、FET20aのゲートPr g1, Pr g2間には低抵抗領域RN+が設けられている。この低抵抗領域RN+およびノードPrxは、それぞれ高抵抗60および共通のFET40を介してバイアス端子BRに接続されている。本実施例のスイッチ回路装置103の他の部分の構成は、図4のスイッチ回路装置102の構成と同様である。

【0098】図7は図6のスイッチ回路装置103に用いられるデュアルゲート型FETの模式的断面図である。

【0099】図7に示すように、GaAsからなる基板500に、所定間隔を隔てて1対の N^+ イオン注入層501, 502が形成されている。 N^+ イオン注入層501, 502上にはそれぞれオーミック電極OM1, OM2が形成されている。1対の N^+ イオン注入層501, 502間の基板500にはN型の動作層503が形成されている。

【0100】オーミック電極OM1, OM2間の動作層503上には所定間隔を隔てて2つのゲート電極G1, G2が形成されている。ゲート電極G1, G2間における基板500には N^+ イオン注入層からなる低抵抗領域RN+が形成されている。

【0101】これらのゲート電極G1, G2が図6のFET10aのゲートPtg1, Ptg2およびFET20aのゲートPr g1, Pr g2に相当する。また、オーミック電極OM1, OM2が図6のFET10aのノードPta, PtxおよびFET20aのノードPra, Prxに相当する。

【0102】特に、本実施例のスイッチ回路装置103においては、低抵抗領域RN+および高抵抗50, 60を微細化が容易なイオン注入プロセスにより形成することにより、小型化を図ることができる。

【0103】したがって、本実施例のスイッチ回路装置103においては、耐電力 P_h が向上するとともに、小型化が可能となる。

【0104】(5) 第5の実施例

図8は本発明の第5の実施例におけるスイッチ回路装置の構成を示す回路図である。

【0105】図8のスイッチ回路装置104が図1のスイッチ回路装置100と異なるのは次の点である。端子ANTは高抵抗90を介してバイアス端子BAに接続されている。バイアス端子BAにはバイアス電圧 V_{bias} が与えられる。高抵抗90およびバイアス端子BAがバイアス回路180を構成する。

【0106】このバイアス電圧 V_{bias} は、 V_{high} よりも低く、 V_{low} よりも高く、かつバイアス端子BT, BR

$$P_h = (V_{bias} + V_{high} - 2V_{low} + 2V_p)^2 / (2R) \quad \cdots (D1)$$

また、図10の従来のスイッチ回路装置200においてノードPta, Praに上記のバイアス電圧 V_{bias} を印加した場合には、式(C4)の $V_{high} - V_{bi}$ を V_{bias} で

$$P_h = (2V_{bias} - 2V_{low} + 2V_p)^2 / (2R) \quad \cdots (D2)$$

$V_{high} > V_{bias}$ であるので、上式(D1)において耐電力 P_h が向上していることがわかる。したがって、本実施例のスイッチ回路装置104においても、第1の実施例のスイッチ回路装置100と同様に、耐電力 P_h が向上し、入出力特性の線形領域が拡大する。

【0112】なお、第1～第5の実施例のスイッチ回路装置100, 101, 102, 103, 104内で高レベルの電圧 V_{high} よりも高い電源電圧を使用可能な場合には、バイアス端子BT, BRに高レベルの電圧 V_{high} よりも高いバイアス電圧を印加してもよい。その場合にも、耐電力 P_h の向上が図られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるスイッチ回路装置の構成を示す回路図である。

【図2】図1のスイッチ回路装置の等価回路図である。

【図3】本発明の第2の実施例におけるスイッチ回路装置の構成を示す回路図である。

【図4】本発明の第3の実施例におけるスイッチ回路装置の構成を示す回路図である。

【図5】図4のスイッチ回路装置の等価回路図である。

に与えられるバイアス電圧よりも低い。図8のスイッチ回路装置104の他の部分の構成は、図1のスイッチ回路装置100の構成と同様である。

【0107】バイアス電圧 V_{bias} が $V_{high} - V_{bi}$ よりも低く、かつバイアス端子BT, BRに印加されるバイアス電圧がバイアス電圧 V_{bias} よりも高い場合には、バイアス電圧 V_{bias} を印加しない場合(図1のスイッチ回路装置100)に比べて、オン状態のFET1または2のオン抵抗が低くなり、スイッチ回路装置104の挿入損失が低減される。ただし、スイッチ回路装置104の耐電力は図1のスイッチ回路装置100の耐電力に比べて低下する。

【0108】また、バイアス電圧 V_{bias} が $V_{high} - V_{bi}$ よりも高く、かつバイアス端子BT, BRに印加されるバイアス電圧がバイアス電圧 V_{bias} よりも高い場合には、バイアス電圧 V_{bias} を印加しない場合(図1のスイッチ回路装置100)に比べて、耐電力が向上する。ただし、オン状態のFET1または2のオン抵抗が高くなるため、スイッチ回路装置104の挿入損失は図1のスイッチ回路装置100の挿入損失に比べて増加する。

【0109】本実施例のスイッチ回路装置104における耐電力 P_h は、上式(A10)と同様にして次式で表される。

【0110】

置き換えることにより、耐電力 P_h は、次式(D2)で表される。ただし、 $n=1$ である。

【0111】

$$P_h = (2V_{bias} - 2V_{low} + 2V_p)^2 / (2R) \quad \cdots (D2)$$

【図6】本発明の第4の実施例におけるスイッチ回路装置の構成を示す回路図である。

【図7】図6のスイッチ回路装置に用いられるデュアルゲート型FETの模式的断面図である。

【図8】本発明の第5の実施例におけるスイッチ回路装置の構成を示す回路図である。

【図9】従来のスイッチ回路装置を用いた送受信装置の一例を示す図である。

【図10】従来のスイッチ回路装置の構成を示す回路図である。

【符号の説明】

10, 10a, 11, 12, 20, 20a, 21, 2

2, 30, 40 FET

50, 60, 90 高抵抗

70, 80 付加容量

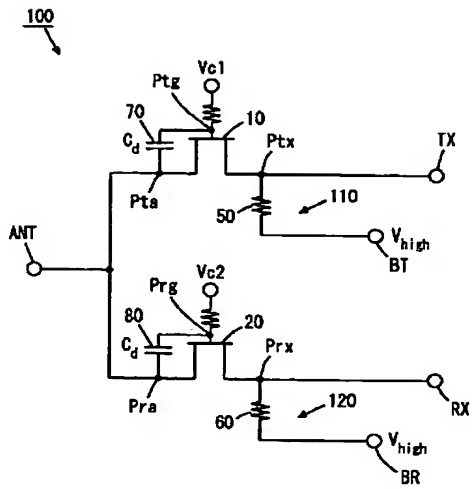
110, 120, 130, 140, 150, 160, 1

80 バイアス回路

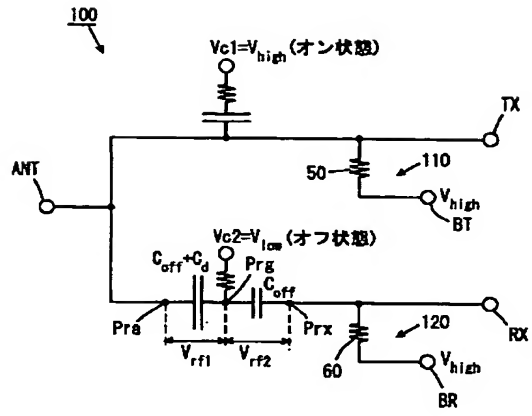
BT, BR, BA バイアス端子

ANT, TX, RX 端子

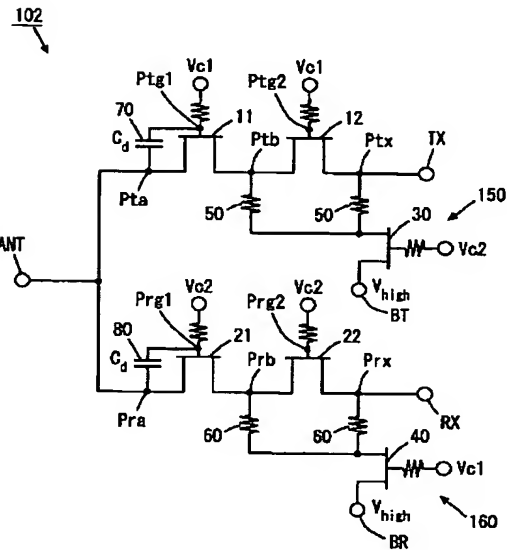
【図1】



【図2】

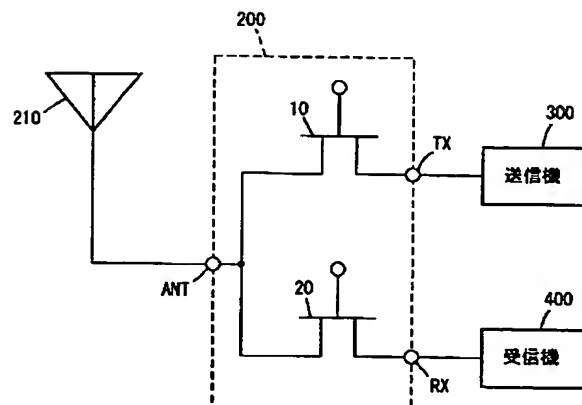
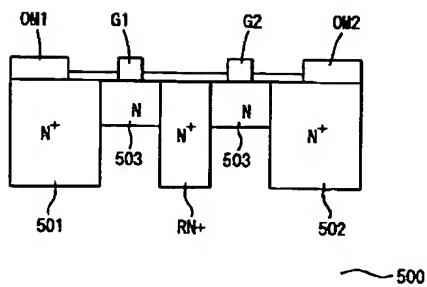


【図4】

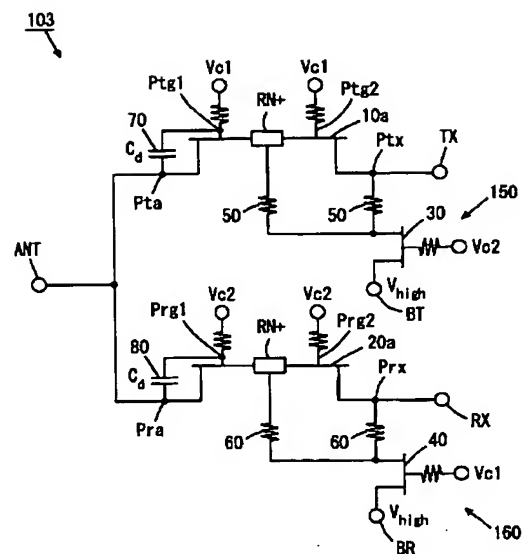


【図9】

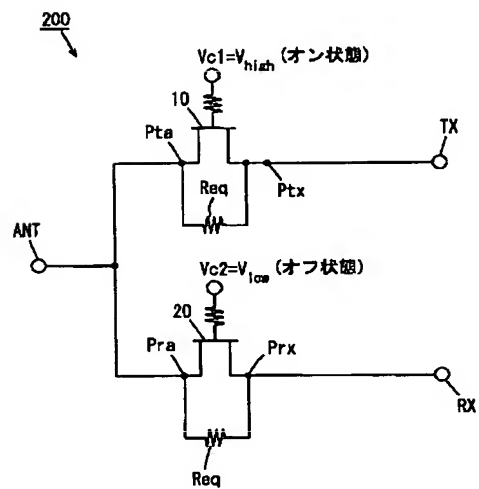
【図7】



【図6】



【図10】



フロントページの続き

Fターム(参考) 5J012 BA03

5J055 AX05 AX07 AX11 AX12 AX14
AX44 AX63 BX11 CX03 CX26
DX23 DX25 DX26 DX43 DX61
DX83 EY01 EY10 EY21 EZ00
GX01

5K011 DA02 DA21 FA01 GA04

5K062 AC01 BA02 BB01 BB09 BB16
BD02